



⑮ BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENT- UND  
MARKENAMT

⑫ **Offenlegungsschrift**  
⑩ **DE 199 35 852 A 1**

⑤① Int. Cl. 7:  
**H 01 L 21/8239**

⑳ Aktenzeichen: 199 35 852.4  
㉔ Anmeldetag: 29. 7. 1999  
㉕ Offenlegungstag: 1. 2. 2001

DE 199 35 852 A 1

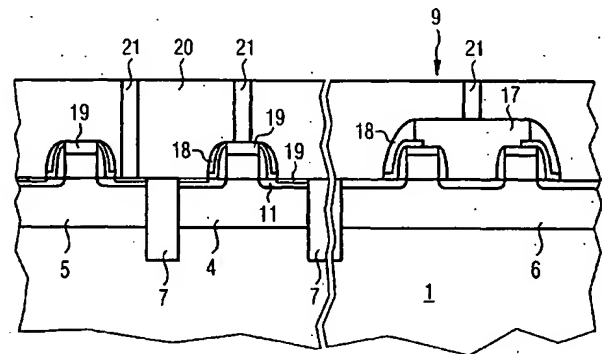
㉑ Anmelder:  
Infineon Technologies AG, 81669 München, DE  
  
㉒ Vertreter:  
Zimmermann & Partner, 80331 München

㉓ Erfinder:  
Heineck, Lars Peter, Paris, FR; Winnerl, Josef, Dr.,  
81929 München, DE; Jacobs, Tobias, Paris, FR

**Die folgenden Angaben sind den vom Anmelder eingereichten Unterlagen entnommen**

⑤④ Verfahren zur Herstellung integrierter Halbleiterbauelemente

⑤⑦ Die erfindungsgemäßen Verfahren besitzen den Vorteil, daß die Integrationsdichte beispielsweise im Speicherzellenfeld deutlich erhöht werden kann. Durch das Merkmal, daß die Bildung der Kontakte zu den Source-Draingebieten im zweiten Bereich des Halbleitersubtrats zu einem Zeitpunkt vorgenommen bzw. vorbereitet wird, an dem noch nicht alle Abstandstücke (Spacer) erzeugt worden sind, kommt es zu keiner unnötigen Spacer-Erzeugung in dem Speicherzellenfeld, wodurch sich Chipfläche einsparen läßt. Die eingesparte Fläche kann beispielsweise dazu genutzt werden, um die Gatebahnen im Speicherzellenfeld enger anzuordnen.



DE 199 35 852 A 1

## Beschreibung

Die vorliegende Erfindung betrifft ein Verfahren zur Herstellung eines integrierten Halbleiterbauelements. Die vorliegende Erfindung betrifft insbesondere ein Verfahren zur Herstellung eines integrierten DRAM oder embedded DRAM- bzw. embedded SRAM-Halbleiterbauelements.

Ziel vieler Entwicklungen in der Mikroelektronik ist es, die Kosten, die zur Realisierung einer bestimmten elektronischen Funktion aufzuwenden sind, ständig zu senken und somit die Produktivität kontinuierlich zu steigern. Der Garant für die Produktivitätssteigerung in den letzten Jahren war und ist dabei die ständige Strukturverkleinerung der Halbleiterbauelemente. Insbesondere Feldeffekttransistoren werden ständig verkleinert und in integrierten Schaltungen mit höchster Packungsdichte angeordnet.

Um ihre Funktion erfüllen zu können, müssen Feldeffekttransistoren mit anderen Feldeffekttransistoren und mit der Außenwelt verbunden werden. Dazu müssen Kontakte zu den Diffusionsgebieten der Transistoren erzeugt werden. Bei Verfahren zur Herstellung von Logikschaltungen werden beispielsweise durch eine Phototechnik und eine Ätzung Kontaktlöcher zu den Diffusionsgebieten der Transistoren erzeugt. Da diese Kontaktlochbildung in der Regel nicht selbstjustiert durchgeführt wird, muß ein hinreichend großer Sicherheitsabstand zwischen der Gatebahn und dem Kontaktloch eingehalten werden, was sich natürlich negativ auf die Integrationsdichte auswirkt.

Bei Verfahren Herstellung von DRAM-Halbleiterbauelementen werden in der Regel selbstjustierte Kontakte erzeugt. Dabei werden üblicherweise Kontaktlöcher in eine zwischen den Gatebahnen abgeschiedene BPSG-Schicht geätzt. Nachfolgend werden diese Kontaktlöcher mit einem leitfähigem Material aufgefüllt, so daß eine leitfähige Verbindung zustande kommt.

Die Erzeugung dieser Kontaktlöcher wird jedoch mit fortschreitender Strukturverkleinerung immer schwieriger. Bei modernen Feldeffekttransistoren werden an den Seitenwänden der Gatebahnen eine Reihe von Abstandsstücken, sogenannten Spacer, erzeugt, die im Zusammenspiel mit geeigneten Dotierstoffimplantationen dafür sorgen, daß die für den jeweiligen Zweck geeigneten Dotierstoffprofile in den Source/Draingebieten erzeugt werden können. Bedingt durch die zwischen den Gatebahnen angeordneten Spacer und der Forderung, daß das Kontaktloch möglichst zwischen den Spacern angeordnet sein soll, müssen der Abstand zwischen den Gatebahnen bzw. das Diffusionsgebiet, das zur Kontaktierung dient hinreichend groß gewählt werden, was sich negativ auf die erzielbare Integrationsdichte auswirkt.

Bei der Ätzung der Kontaktlöcher dürfen die Gatebahnen nicht beschädigt werden, da es sonst zu einem Kurzschluß zwischen dem Diffusionskontakt und dem Gate kommt. Da es sich aber trotz aller Bemühungen nicht verhindern läßt, daß bei der Ätzung der Kontaktlöcher die Gatebahnen angegriffen werden, ist in der Regel eine dicke Schutzschicht, ein sogenanntes "Cap", auf den Gatebahnen angeordnet, die einen Kurzschluß zwischen Kontakt und Gate verhindern soll. Die relativ große Dicke dieser Schutzschicht beeinträchtigt jedoch die Qualität der Gatebahnen und verhindert in der Regel eine Silizierung der Gatebahnen sowie die nachträgliche Dotierung des Polysiliziums der Gatebahnen ("Dual-Workfunction-Gates").

Durch die engen Verhältnisse zwischen den Gatebahnen ist es notwendig, daß die Isolationsschicht einer Temperaturbehandlung mit relativ hohen Temperaturen ausgesetzt wird, um ein Verfließen der Isolationsschicht zu erreichen. Trotzdem kann es bei der Abscheidung der Isolationsschicht

zu Löchern, sogenannten Voids, zwischen den Gatebahnen kommen. Werden nun die Kontaktlöcher gebildet, kann es vorkommen, daß zwei Kontaktlöcher über einen Void miteinander verbunden sind. Bei dem nachfolgenden Auffüllen der Kontaktlöcher mit leitenden Material werden in der Regel auch die Voids aufgefüllt, so daß ein Kurzschluß zwischen zwei Kontakten entstehen kann, der möglicherweise zum Ausfall der gesamten Schaltung führt.

Daher ist es die Aufgabe der vorliegenden Erfindung ein Verfahren zur Herstellung eines integrierten Halbleiterbauelements bereitzustellen, das die genannten Probleme mindert bzw. gänzlich vermeidet.

Diese Aufgabe wird erfindungsgemäß von den Verfahren zur Herstellung eines integrierten Halbleiterbauelements nach den unabhängigen Patentansprüchen 1 oder 3 gelöst. Weitere vorteilhafte Ausführungsformen, Eigenschaften und Aspekte der vorliegenden Erfindung ergeben sich aus den abhängigen Ansprüchen, der Beschreibung und den beiliegenden Zeichnungen.

Erfindungsgemäß wird ein Verfahren zur Herstellung eines integrierten Halbleiterbauelements mit den folgenden Schritten bereitgestellt:

- a) ein Halbleitersubstrat mit zumindest einem ersten Bereich und zumindest einem zweiten Bereich wird bereitgestellt;
- b) im ersten und im zweiten Bereich des Halbleitersubstrats werden Gatebahnen hergestellt;
- c) in dem ersten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingebiete sowie an den Gatebahnen mindestens zwei Abstandsstücke erzeugt;
- d) in dem zweiten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingebiete erzeugt und es werden Kontakte zu vorbestimmten Source/Draingebieten gebildet bevor alle Abstandsstücke in dem ersten Bereich des Halbleitersubstrats erzeugt worden sind.

Weiterhin wird erfindungsgemäß ein Verfahren zur Herstellung eines integrierten Halbleiterbauelements mit den folgenden Schritten bereitgestellt:

- a) ein Halbleitersubstrat mit zumindest einem ersten Bereich und zumindest einem zweiten Bereich wird bereitgestellt;
- b) im ersten und im zweiten Bereich des Halbleitersubstrats werden Gatebahnen hergestellt;
- c) in dem ersten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingebiete sowie an den Gatebahnen mindestens zwei Abstandsstücke erzeugt;
- d) in dem zweiten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingebiete erzeugt und es werden Kontakte zu vorbestimmten Source/Draingebieten vorbereitet bevor alle Abstandsstücke in dem ersten Bereich des Halbleitersubstrats erzeugt worden sind.

Die erfindungsgemäßen Verfahren besitzen den Vorteil, daß die Integrationsdichte im zweiten Bereich des Halbleitersubstrats deutlich erhöht werden kann. Durch das Merkmal, daß die Bildung der Kontakte zu den Source/Draingebieten im zweiten Bereich des Halbleitersubstrats zu einem Zeitpunkt vorgenommen bzw. vorbereitet wird, an dem noch nicht alle Abstandsstücke (Spacer) erzeugt worden sind, kommt es zu keiner unnötigen Spacer-Erzeugung in dem zweiten Bereich, wodurch sich Chipfläche einsparen läßt.

Die einsparte Fläche kann beispielsweise dazu genutzt werden, um die Gatebahnen im zweiten Bereich enger anzuordnen. Die Spacer können dabei als eine Hilfe zur Einstellung der gewünschten Dotierstoffprofile und/oder als seitliche Isolierung der Gatebahnen verwendet werden.

Weiterhin lassen sich die erfindungsgemäßen Verfahren ohne Schwierigkeiten in einen bereits bestehenden Prozeßablauf zur Herstellung eines Halbleiterbauelements integrieren. Insbesondere können die Prozeßschritte für die Herstellung von sehr schnellen Logikschaltungen nahezu unverändert beibehalten werden. Probleme, wie sie bei herkömmlichen Verfahren durch das Auftreten von Leerräumen (Voids) zwischen den Transistoren ergeben, können bei den erfindungsgemäßen Verfahren deutlich vermindert bzw. ganz vermieden werden. Durch die frühe Bildung bzw. Vorbereitung der Kontakte können hohe Aspektverhältnisse vermieden werden, wodurch die Prozesse insgesamt stabiler durchzuführen sind. Dabei können die Kontakte auch schon zu einem Zeitpunkt gebildet bzw. vorbereitet werden, an dem die Source/Draingegebiete noch gar nicht gebildet wurden.

Gemäß einer bevorzugten Ausführungsform werden zur Vorbereitung der Kontakte zu vorbestimmten Source/Draingegebieten in dem zweiten Bereich des Halbleitersubstrats Landing Pads ausgebildet. Zur Bildung der Landing Pads bzw. der Kontakte selbst wird bevorzugt dotiertes Polysilizium verwendet.

Gemäß einer weiteren bevorzugten Ausführungsform werden zur Vorbereitung der Kontakte zu vorbestimmten Source/Draingegebieten in dem zweiten Bereich des Halbleitersubstrats Opferkontakte ausgebildet. Die Opferkontakte verhindern ebenfalls die Erzeugung unnötiger Spacer an den Gatebahnen im zweiten Bereich des Halbleitersubstrats. Sie werden erst entfernt, wenn die eigentlichen Kontakte zu den Source/Draingegebieten gebildet werden.

Gemäß einer bevorzugten Ausführungsform werden die Abstandsstücke (Spacer) aus Siliziumoxid, Siliziumnitrid oder Oxynitrid gebildet. Dazu wird eine Siliziumoxid-, Siliziumnitrid- oder Oxynitridschicht über den Gatebahnen abgeschieden und durch eine anisotrope Ätzung zurückgeätzt, so daß Teile dieser Schichten an den Seitenwänden der Gatebahnen zurückbleiben. Durch Verwendung dieser Spacer lassen sich die Dotierungen der Source/Draingegebiete sehr genau, entsprechend den jeweiligen Anforderungen einstellen.

Gemäß einer weiteren bevorzugten Ausführungsform werden die Gatebahnen gebildet, indem eine Polysiliziumschicht und eine Schutzschicht, insbesondere eine Siliziumnitrid-, Siliziumoxid- oder Oxynitridschicht, erzeugt und diese Schichten gemeinsam zu Gatebahnen strukturiert werden. Dabei ist es insbesondere bevorzugt, wenn die Schutzschicht mit einer Dicke erzeugt wird, so daß nach der Gatestrukturierung die Schutzschicht eine Dicke kleiner als 100 nm, bevorzugt zwischen 40 und 60 nm, aufweist. Diese Schutzschicht wird häufig als sogenanntes "Cap" bezeichnet und dient bei herkömmlichen Prozessen unter anderem als Hardmaske zur Gatestrukturierung und zum Schutz der Gatebahnen bei einem Ätzprozeß zur Erzeugung der Kontaktlöcher. Dazu muß nach dem Stand der Technik ein Trockenätzprozeß, welcher Oxid selektiv zu dem Cap-Material ätzt, eingesetzt werden. Da die zu ätzende Struktur im Stand der Technik ein hohes Aspektverhältnis aufweist, ist die Selektivität des Ätzprozesses nicht sehr hoch und es muß ein relativ dickes "Cap" verwendet werden, um einen Kurzschluß zwischen der Gatebahn und dem Kontakt zu vermeiden.

Da bei den erfindungsgemäßen Verfahren die Bildung des Kontakts bereits in einem sehr frühen Stadium vorgenommen bzw. vorbereitet wird, dient das "Cap" nun nur zur Iso-

lation der Gatebahn gegenüber dem Kontakt und kann daher relativ dünn gewählt werden. Dementsprechend kann das "Cap" in späteren Prozeßschritten, beispielsweise bei der Ätzung eines Nitrid-Spacers, ohne zusätzliche Prozeßschritte vollständig von den Gatebahnen im ersten Bereich entfernt werden, was die Möglichkeit eröffnet, verschiedene Gatebahnen mit unterschiedlichen Dotierstoffen zu dotieren und so sogenannte Dual-Workfunction-Gates aufzubauen. Weiterhin können die Gatebahnen auf diese Weise silizidiert werden, wodurch der Widerstand der Gatebahnen deutlich gesenkt wird.

Weiterhin ist es bevorzugt, wenn in dem ersten Bereich des Halbleitersubstrats die Gatebahnen mit Dotierstoffen unterschiedlicher Leitfähigkeitstypen dotiert werden. Durch diese sogenannten Dual-Workfunction-Gates können sehr leistungsfähige Logikschaltungen aufgebaut werden. Auf diese Weise kann auch die Versorgungsspannung reduziert werden, ohne daß es zu Einbußen bei der Schaltgeschwindigkeit kommt.

Zur Verringerung der Widerstände der Gatebahnen ist es bevorzugt, wenn auf den Gatebahnen in dem ersten Bereich des Halbleitersubstrats Silizidschichten erzeugt werden. Insbesondere ist es bevorzugt, wenn als Silizidschichten  $\text{CoSi}_2$ ,  $\text{TaSi}_2$ ,  $\text{TiSi}_2$  oder  $\text{WSi}_x$  verwendet und diese Silizidschichten durch ein Salicide-Verfahren erzeugt werden.

Nachfolgend wird die Erfindung anhand der Zeichnungen näher erläutert. Es zeigen

Fig. 1-8 ein Verfahren nach einem ersten Ausführungsbeispiel der vorliegenden Erfindung,

Fig. 9-12 ein Verfahren nach einem zweiten Ausführungsbeispiel der vorliegenden Erfindung,

Fig. 13-18 ein Verfahren nach einem dritten Ausführungsbeispiel der vorliegenden Erfindung,

Die Fig. 1-8 zeigen ein Verfahren nach einem ersten Ausführungsbeispiel der vorliegenden Erfindung. Auf einem Siliziumsubstrat 1 wurde eine dünne Siliziumoxidschicht erzeugt. Dieses Siliziumoxidschicht, welche in der Fig. 1 nicht gezeigt ist, dient im weiteren Verlauf des Verfahrens als Gateoxid. Dabei können je nach Anwendung in unterschiedlichen Bereichen des Siliziumsubstrats unterschiedlich dicke Siliziumoxidschichten verwendet werden. Auf der Siliziumoxidschicht ist eine Polysiliziumschicht 2 angeordnet. Bei dieser Ausführungsform der vorliegenden Erfindung wurde die Polysiliziumschicht 2 als undotierte Polysiliziumschicht abgeschieden, welche nachfolgend mit Hilfe einer Phototechnik dotiert wird. Über der Polysiliziumschicht 2 ist eine Siliziumnitridschicht 3 angeordnet. Die Dicke der Siliziumnitridschicht 3 beträgt dabei nach der Gatestrukturierung etwa 50 nm. Diese Schicht dient im weiteren Verlauf des Verfahrens als sogenanntes "Cap-Nitrid".

Vor Erzeugung der Siliziumoxidschicht wurden in dem Siliziumsubstrat eine n-Wanne 4 bzw. p-Wannen 5, 6 erzeugt. Die einzelnen Wannen sind durch Isolationen 7 voneinander getrennt. Im vorliegenden Beispiel sind diese Isolationen 7 als sogenannte flache Grabenisolationen ("Shallow-Trench-Isolation") ausgebildet. Auf der linken Seite der Fig. 1 ist der erste Bereich 8 des Siliziumsubstrats 1 angeordnet. In diesem ersten Bereich 8 werden später die Transistoren hergestellt werden, aus denen die Logikschaltung aufgebaut ist. Auf der rechten Seite der Fig. 1 ist der zweite Bereich 9 des Siliziumsubstrats 1 angeordnet. In diesem zweiten Bereich 9 werden später die Transistoren hergestellt werden, die als Auswahltransistoren in den Speicherzellen dienen.

Anschließend werden durch eine Phototechnik die Siliziumnitridschicht 3 und die Polysiliziumschicht 2 zu Gatebahnen 10 strukturiert. Es folgt eine Reoxidation des Gateoxids, um mögliche Defekte, die bei der Ätzung der Siliziumnitrid-

schicht 3 und der Polysiliziumschicht 2 aufgetreten sind, zu beheben. Zur Erzeugung der sogenannten Source/Draingebiete 11 der n-Kanal Transistoren wird nun mit einer Phototechnik Phosphor in das Siliziumsubstrat implantiert. Nach dieser Implantation wird eine weitere Siliziumnitridschicht abgeschieden und durch eine anisotrope Ätzung strukturiert. Durch diese Ätzung entstehen erste isolierende Abstandshalter, sogenannte "Spacer" 12, an den Seitenwänden der Gatebahnen 10. Nach Erzeugung der Spacer 12 wird Bor mit einer Phototechnik in das Siliziumsubstrat implantiert, so daß auch die p-Kanal Transistoren erzeugt werden können. Anschließend wird eine weitere Siliziumnitridschicht 13 abgeschieden. Die sich daraus ergebende Situation ist in Fig. 2 gezeigt.

Die Transistoren, die in dem zweiten Bereich 9 des Siliziumsubstrats 1 erzeugt werden, dienen als Auswahltransistoren in den Speicherzellen. Die Kondensatoren der Speicherzellen, die in dem vorliegenden Beispiel als Grabenkondensatoren ausgebildet sind, sind aus Gründen der Übersichtlichkeit in den Figuren nicht gezeigt. In dem zweiten Bereich 9 des Siliziumsubstrats 1 kommt es vor allem auf eine hohe Integrationsdichte an. Um diese hohe Integrationsdichte erzielen zu können, wird eine Lackmaske erzeugt, die an den Stellen geöffnet ist, an denen später die Source/Drain-Anschlüsse, d. h. die Bitleitungen, der Auswahltransistoren erzeugt werden. Durch eine anisotrope Ätzung wird die Siliziumnitridschicht 13 in der Öffnung 14 der Maske 15 entfernt und so daß die Source/Draingebiete 11 der Auswahltransistoren freigelegt werden. Der erste Bereich 8 des Siliziumsubstrats 1 ist dabei durch die Lackmaske 15 geschützt und erfährt somit keine Veränderung. Anschließend wird die Lackmaske 15 entfernt und eine weitere Polysiliziumschicht 16 abgeschieden. Bei dieser Polysiliziumschicht 16 handelt es sich um eine dotierte Polysiliziumschicht. Die sich daraus ergebende Situation ist in Fig. 4 gezeigt.

Mit Hilfe einer weiteren Phototechnik wird nun die Polysiliziumschicht 16 strukturiert. Dabei wird die Polysiliziumschicht 16 aus dem ersten Bereich 8 des Siliziumsubstrats 1 vollständig entfernt. Der verbleibende Teil der Polysiliziumschicht 16 bildet im zweiten Bereich 9 des Siliziumsubstrats zu ein sogenanntes "Landing Pad" 17. Die sich daraus ergebende Situation ist in Fig. 5 gezeigt.

Anschließend wird eine weitere Siliziumoxidschicht abgeschieden. Durch eine weitere anisotrope Ätzung wird diese Siliziumoxidschicht so strukturiert, daß ein weiterer Spacer 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats entsteht. Durch die Abfolge dieser Spacer 12 und 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats und geeignet gewählte Dotierstoffimplantationen können die Source/Draingebiete 11 der Transistoren im ersten Bereich 8 so eingestellt werden, daß Transistoren mit sehr kurzen Schaltzeiten hergestellt werden können. Dementsprechend können sehr leistungsfähige Logikschaltungen aufgebaut werden. In dem zweiten Bereich 9 des Siliziumsubstrats kommt es auf Grund der Polysiliziumschicht 16 zu keiner Abscheidung der Siliziumoxidschicht zwischen den Gatebahnen der Auswahltransistoren. Dementsprechend werden zwischen den Gatebahnen 10 der Auswahltransistoren auch keine Siliziumoxid-Spacer 18 erzeugt. Die dadurch ersparte Fläche zwischen den Gatebahnen der Auswahltransistoren kann genutzt werden, um die Gatebahnen entsprechend enger anzuordnen, wodurch die Integrationsdichte im Speicherzellenfeld erhöht wird.

Durch eine weitere Ätzung wird auch der noch verbleibende Teil der Siliziumnitridschicht 3 auf den Gatebahnen 10 in dem ersten Bereich 8 des Siliziumsubstrats entfernt. Dies

ist möglich, weil die Siliziumnitridschicht 3 im Vergleich zu herkömmlichen Verfahren eine sehr geringe Dicke aufweist. Durch die Entfernung der Siliziumnitridschicht 3 können die Gatebahnen 10 nun in gewünschter Art und Weise dotiert werden. Auch eine unterschiedliche Dotierung der verschiedenen Gatebahnen 10 ist auf einfache Art möglich ("Dual-Workfunction-Gates"). Auf diese Weise können sehr schnelle Logikschaltungen erzeugt werden. Die sich daraus ergebende Situation ist in Fig. 6 gezeigt.

Anschließend wird ein silizidbildendes Metall, beispielsweise Tantal, Titan, Wolfram oder Cobalt, aufgesputtert. Durch eine Wärmebehandlung kommt auf den freiliegenden Siliziumgebieten, nämlich den Gatebahnen im ersten Bereich sowie den freiliegenden Source/Draingebieten, zu einer Silizidreaktion während in den anderen Gebieten das silizidbildende Metall im wesentlichen unverändert erhalten bleibt und dadurch einfach wieder entfernt werden kann. Das Ergebnis sind selektive und selbstjustierte Silizidschichten 19 auf den Gatebahnen im ersten Bereich 8 und den freiliegenden Source/Draingebieten 11 ("Salicide-Verfahren"). Durch die Silizidschichten 19 wird der Widerstand der Gatebahnen 10 deutlich herabgesetzt, was sich positiv auf die Leistungsfähigkeit der Logikschaltung auswirkt. Weiterhin wird durch die Silizierung der Source/Draingebiete 11 der Kontaktwiderstand deutlich gesenkt, was sich ebenfalls positiv auf die Leistungsfähigkeit der Logikschaltung auswirkt.

Anschließend wird eine dünne Siliziumnitridschicht abgeschieden, welche als Barriere dient. Aus Gründen der Übersichtlichkeit ist diese dünne Siliziumnitridschicht nicht gezeigt. Es folgt die Abscheidung einer BPSG-Schicht 20, welche durch einen CMP Schritt planarisiert wird. Vor dem CMP Schritt wird eine Wärmebehandlung durchgeführt, damit die BPSG-Schicht 20 die Zwischenräume zwischen den Transistoren möglichst gut ausfüllen kann. Die sich daraus ergebende Situation ist in Fig. 7 gezeigt.

Mittels einer weiteren Phototechnik werden nun Kontaktlöcher 21 in der BPSG-Schicht 20 erzeugt. Diese Kontaktlöcher 21 führen sowohl zum Siliziumsubstrat 1 als auch zu den Gatebahnen 10. In dem zweiten Bereich 9 des Siliziumsubstrats zu wird das Kontaktloch zu der Polysiliziumschicht 16 geführt, die als Landing Pad 17 dient. Nach Abscheidung eines sogenannten Liners (nicht gezeigt) werden die Kontaktlöcher mit Wolfram aufgefüllt und ein CMP-Schritt durchgeführt, um Wolfram außerhalb der Kontaktlöcher von der Substratoberfläche zu entfernen.

Zur vollständigen Herstellung der integrierten Schaltung werden nachfolgend, mit einer Reihe an sich bekannter Schritte, die Metallisierung sowie die Passivierung aufgebaut. Das erfindungsgemäße Verfahren besitzt den Vorteil, daß die Integrationsdichte im zweiten Bereich des Halbleitersubstrats deutlich erhöht werden kann. Darüber hinaus können durch einen geringen Mehraufwand die Eigenschaften der Transistoren im ersten Bereich des Halbleitersubstrats deutlich verbessert werden (Silizierung, Dual-Workfunction-Gates). Daher ermöglicht die vorliegende Erfindung beispielsweise die kostengünstige Herstellung von sogenannten "embedded DRAM-Produkten".

Die Fig. 9-12 zeigen ein Verfahren nach einem zweiten Ausführungsbeispiel der vorliegenden Erfindung. Die ersten Schritte dieses Verfahren stimmen dabei mit denen in den Fig. 1 bis 4 gezeigten Schritten überein und sollen daher nicht mehr wiederholt werden.

Im Gegensatz zu dem ersten Ausführungsbeispiels der vorliegenden Erfindung wird nun jedoch eine relativ dicke Polysiliziumschicht abgeschieden. Mit Hilfe einer weiteren Phototechnik wird die Polysiliziumschicht strukturiert. Dabei wird wiederum die Polysiliziumschicht aus dem ersten

Bereich des Siliziumsubstrats vollständig entfernt. Der verbleibende Teil der Polysiliziumschicht bildet im zweiten Bereich des Siliziumsubstrats den vollständigen Kontakt 24. Die sich daraus ergebende Situation ist in Fig. 9 gezeigt.

Anschließend wird eine weitere Siliziumoxidschicht abgeschieden. Durch eine weitere anisotrope Ätzung wird dieses Siliziumoxidschicht so strukturiert, daß ein weiterer Spacer 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats entsteht. In dem zweiten Bereich 9 des Siliziumsubstrats kommt es auf Grund des Kontakts 24 zu keiner Abscheidung der Siliziumoxidschicht zwischen den Gatebahnen der Auswahltransistoren. Dem entsprechend werden zwischen den Gatebahnen 10 der Auswahltransistoren auch keine Siliziumoxid-Spacer 18 erzeugt. Der dadurch einsparte Fläche zwischen den Gatebahnen 10 der Auswahltransistoren kann genutzt werden, um die Gatebahnen 10 entsprechend enger anzuordnen, wodurch die Integrationsdichte im Speicherzellenfeld erhöht wird.

Durch eine weitere Ätzung wird auch der verbleibende Teil der Siliziumnitridschicht 3 auf den Gatebahnen 19 in dem ersten Bereich 8 sowie teilweise im zweiten Bereich 9 des Siliziumsubstrats entfernt. Dies ist möglich, weil die Siliziumnitridschicht 3 im Vergleich zu herkömmlichen Verfahren eine sehr geringe Dicke aufweist. Durch die Entfernung der Siliziumnitridschicht 3 können die Gatebahnen 10 nun in gewünschter Art und Weise dotiert werden. Auch eine unterschiedliche Dotierung der verschiedenen Gatebahnen 10 ist auf einfache Art möglich ("Dual-Workfunction-Gates"). Auf diese Weise können sehr schnelle Logikschaltungen erzeugt werden. Die sich daraus ergebende Situation ist in Fig. 10 gezeigt.

Anschließend wird ein silizidbildendes Metall, beispielsweise Tantal, Titan, Wolfram oder Cobalt, aufgeputtet. Durch eine Wärmebehandlung kommt auf den freiliegenden Siliziumgebieten, nämlich den Gatebahnen 10 sowie den freiliegenden Source/Draingebieten 11, zu einer Silizidreaktion während in den anderen Gebieten das silizidbildende Metall im wesentlichen unverändert erhalten bleibt und dadurch einfach wieder entfernt werden kann. Das Ergebnis sind selektive und selbstjustierte Silizidschichten 19 auf den Gatebahnen 10 und den freiliegenden Source/Draingebieten 11 ("Salicide-Verfahren"). Durch die Silizidschichten 19 wird der Widerstand der Gatebahnen 10 deutlich herabgesetzt, was sich positiv auf die Leistungsfähigkeit der Logikschaltung sowie der Wortleitungen im Zellenfeld auswirkt. Weiterhin wird durch die Silizierung der Source/Draingebiete 11 der Kontaktwiderstand deutlich gesenkt, was sich ebenfalls positiv auf die Leistungsfähigkeit der Logikschaltung auswirkt.

Anschließend wird eine dünne Siliziumnitridschicht abgeschieden, welche als Barriere dient. Aus Gründen der Übersichtlichkeit ist diese dünne Siliziumnitridschicht nicht gezeigt. Es folgt die Abscheidung einer BPSG-Schicht 20, welche einer Wärmebehandlung unterzogen wird, damit die BPSG-Schicht 20 die Zwischenräume zwischen den Transistoren möglichst gut ausfüllen kann. Anschließend wird die BPSG-Schicht 20 durch einen CMP Schritt planarisiert. Dabei wird der CMP-Schritt so durch geführt, daß der Kontakt 24 freigelegt wird. Es braucht somit nur die erste Metallisierungsschicht abgeschieden zu werden, um eine leitende Verbindung zu den Source/Draingebieten der Auswahltransistoren im Speicherzellenfeld herzustellen. Die sich daraus ergebende Situation ist in Fig. 11 gezeigt.

Mittels einer weiteren Phototechnik werden nun Kontaktlöcher 21 in der BPSG-Schicht 20 erzeugt. Diese Kontaktlöcher 21 führen sowohl zum Siliziumsubstrat der übrigen Transistoren als auch zu den Gatebahnen 10. Nach Abschei-

dung eines sogenannten Liners (nicht gezeigt) werden die Kontaktlöcher mit Wolfram aufgefüllt und ein CMP-Schritt durchgeführt, um Wolfram außerhalb der Kontaktlöcher 21 von der Substratoberfläche zu entfernen. Die sich daraus ergebende Situation ist in Fig. 12 gezeigt.

Zur vollständigen Herstellung der integrierten Schaltung werden wiederum, mit einer Reihe an sich bekannter Schritte, die Metallisierung sowie die Passivierung aufgebaut. Auch dieses erfindungsgemäße Verfahren besitzt den Vorteil, daß die Integrationsdichte im zweiten Bereich des Halbleitersubstrats deutlich erhöht werden kann. Darüber hinaus können durch einen geringen Mehraufwand die Eigenschaften der Transistoren im ersten Bereich des Halbleitersubstrats deutlich verbessert werden (Silizierung, Dual-Workfunction-Gates).

Die Fig. 13 bis 18 zeigen ein Verfahren nach einem dritten Ausführungsbeispiel der vorliegenden Erfindung. Im Gegensatz zu dem ersten Ausführungsbeispiel der vorliegenden Erfindung dient nun jedoch die Polysiliziumschicht nicht als Landing Pad sondern als sogenannter Opferkontakt ("sacrificial contact").

Auf einem Siliziumsubstrat 1 wurde eine dünne Siliziumoxidschicht erzeugt. Dieses Siliziumoxidschicht, welche in der Fig. 13 nicht gezeigt ist, dient im weiteren Verlauf des Verfahrens als Gateoxid. Auf der Siliziumoxidschicht ist eine Polysiliziumschicht 2 angeordnet. Bei dieser Ausführungsform der vorliegenden Erfindung wurde die Polysiliziumschicht 2 als undotierte Polysiliziumschicht abgeschieden, welche nachfolgend mit Hilfe einer Phototechnik dotiert wird. Über der Polysiliziumschicht 2 ist eine Siliziumnitridschicht 3 angeordnet. Die Dicke der Siliziumnitridschicht 3 beträgt dabei etwa 50 nm.

Vor Erzeugung der Siliziumoxidschicht wurden in dem Siliziumsubstrat eine n-Wanne 4 bzw. p-Wannen 5, 6 erzeugt. Die einzelnen Wannen sind durch Isolationen 7 voneinander getrennt. Im vorliegenden Beispiel sind diese Isolationen 7 als sogenannte flache Grabenisolationen ("Shallow-Trench-Isolation") ausgebildet. Das Siliziumsubstrat ist wiederum in einen ersten und einen zweiten Bereich aufgeteilt.

Anschließend werden durch eine Phototechnik die Siliziumnitridschicht 3 und die Polysiliziumschicht 2 zu Gatebahnen 10 strukturiert. Es folgt eine Reoxidation des Gateoxids, um mögliche Defekte, die bei der Ätzung der Siliziumnitridschicht 3 und der Polysiliziumschicht 2 aufgetreten sind, zu beheben. Zur Erzeugung der sogenannten Source/Draingebiete 11 der n-Kanal Transistoren wird nun mit einer Phototechnik Phosphor in das Siliziumsubstrat implantiert. Nach dieser Implantation wird eine weitere Siliziumnitridschicht abgeschieden und durch eine anisotrope Ätzung strukturiert. Durch diese Ätzung entstehen erste isolierende Abstandshalter, sogenannte "Spacer" 12, an den Seitenwänden der Gatebahnen 10. Nach Erzeugung der Spacer 12 wird Bor mit einer Phototechnik in das Siliziumsubstrat implantiert, so daß auch die p-Kanal Transistoren erzeugt werden können. Anschließend wird eine weitere Siliziumnitridschicht 13 abgeschieden. Die sich daraus ergebende Situation ist in Fig. 14 gezeigt.

Anschließend wird eine weitere Polysiliziumschicht 16 abgeschieden. Bei dieser Polysiliziumschicht 16 handelt es sich um eine undotierte Polysiliziumschicht, welche später den Opferkontakt bilden wird. Die sich daraus ergebende Situation ist in Fig. 15 gezeigt.

Mit Hilfe einer weiteren Phototechnik wird nun die Polysiliziumschicht 16 strukturiert. Dabei wird die Polysiliziumschicht 16 aus dem ersten Bereich 8 des Siliziumsubstrats 1 vollständig entfernt. Der verbleibende Teil der Polysiliziumschicht 16 bildet im zweiten Bereich 9 des Siliziumsubstrats

den Opferkontakt 25. Die sich daraus ergebende Situation ist in Fig. 16 gezeigt.

Anschließend wird eine weitere Siliziumoxidschicht abgeschieden. Durch eine weitere anisotrope Ätzung wird diese Siliziumoxidschicht so strukturiert, daß ein weiterer Spacer 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats entsteht. Durch die Abfolge dieser Spacer 12 und 18 an den Seitenwänden der Gatebahnen 10 im ersten Bereich 8 des Siliziumsubstrats und geeignet gewählte Dotierstoffimplantationen können die Source/Draingegebiete 11 der Transistoren im ersten Bereich 8 so eingestellt werden, daß Transistoren mit sehr kurzen Schaltzeiten hergestellt werden können. Dementsprechend können sehr leistungsfähige Logikschaltungen aufgebaut werden. In dem zweiten Bereich 9 des Siliziumsubstrats kommt es auf Grund Opferkontakts 25 zu keiner Abscheidung der Siliziumoxidschicht zwischen den Gatebahnen der Auswahltransistoren. Dementsprechend werden zwischen den Gatebahnen 10 der Auswahltransistoren auch keine Siliziumoxid-Spacer 18 erzeugt. Der dadurch einsparte Fläche zwischen den Gatebahnen der Auswahltransistoren kann genutzt werden, um die Gatebahnen entsprechend enger anzuordnen, wodurch die Integrationsdichte im Speicherzellenfeld erhöht wird.

Durch eine weitere Ätzung wird auch der verbleibende Teil der Siliziumnitridschicht 3 auf den Gatebahnen 10 in dem ersten Bereich 8 des Siliziumsubstrats entfernt. Dies ist möglich, weil die Siliziumnitridschicht 3 im Vergleich zu herkömmlichen Verfahren eine sehr geringe Dicke aufweist. Durch die Entfernung der Siliziumnitridschicht 3 können die Gatebahnen 10 nun in gewünschter Art und Weise dotiert werden. Anschließend wird ein silizidbildendes Metall, beispielsweise Tantal, Titan, Wolfram oder Cobalt, aufgebracht. Durch eine Wärmebehandlung kommt auf den freiliegenden Siliziumgebieten, nämlich den Gatebahnen 10 im ersten Bereich 8 sowie den freiliegenden Source/Draingegebieten 11, zu einer Silizidreaktion während in den anderen Gebieten das silizidbildende Metall im wesentlichen unverändert erhalten bleibt und dadurch einfach wieder entfernt werden kann. Das Ergebnis sind selektive und selbstjustierte Silizidschichten 19 auf den Gatebahnen 10 im ersten Bereich und den freiliegenden Source/Draingegebieten 11 ("Salicide-Verfahren").

Es folgt die Abscheidung einer BPSG-Schicht 20, welche durch einen CMP Schritt planarisiert wird. Vor dem CMP Schritt wird eine Wärmebehandlung durchgeführt, damit die BPSG-Schicht 20 die Zwischenräume zwischen den Transistoren möglichst gut ausfüllen kann. Die sich daraus ergebende Situation ist in Fig. 17 gezeigt.

Mittels einer weiteren Phototechnik werden nun Kontaktlöcher 21 in der BPSG-Schicht 20 erzeugt. Diese Kontaktlöcher 21 führen sowohl zum Siliziumsubstrat als auch zu den Gatebahnen 10. In dem zweiten Bereich 9 des Siliziumsubstrats wird das Kontaktloch zu dem Opferkontakt 25 geführt. Mit einer trocken- oder naßchemischen Ätzung wird ein Teil des Opferkontakts 25 und die noch verbliebene Siliziumnitridschicht 13 entfernt, so daß nun Raum für den eigentlichen Kontakt vorhanden ist. Diese Ätzung des Opferkontakts 25 kann mit hoher Selektivität gegenüber dem umliegenden Material durchgeführt werden.

Es folgt wiederum Abscheidung eines sogenannten Liners (nicht gezeigt) und die Abscheidung einer Wolframschicht, die dazu dient, die Kontaktlöcher aufzufüllen. Mit einem weiteren CMP-Schritt wird das Wolfram, das sich außerhalb der Kontaktlöcher befindet, von der Substratoberfläche entfernt. Die sich daraus ergebende Situation ist in Fig. 18 gezeigt.

Durch die Verwendung des Opferkontakts 25 kann gegen-

über der ersten Ausführungsform eine Maskenebene einspart werden, weil die Siliziumnitridschicht 13 nicht durch eine Maske zwischen Auswahltransistoren im zweiten Bereich 9 entfernt werden muß.

#### Bezugszeichenliste

- 1 Siliziumsubstrat
- 2 Polysilizium
- 3 Siliziumnitridschicht
- 4 n-Wanne
- 5 p-Wanne
- 6 p-Wanne
- 7 Isolation
- 8 erster Bereich
- 9 zweiter Bereich
- 10 Gatebahn
- 11 Source/Draingegebiete
- 12 Spacer
- 13 Siliziumnitridschicht
- 14 Öffnung
- 15 Lackmaske
- 16 Polysilizium
- 17 Landing Pad
- 18 Spacer
- 19 Silizidschicht
- 20 BPSG-Schicht
- 21 Kontaktlöcher
- 22 ...
- 23 ...
- 24 Kontakt
- 25 Opferkontakt

#### Patentansprüche

1. Verfahren zur Herstellung eines integrierten Halbleiterbauelements mit den Schritten:

- a) ein Halbleitersubstrat mit zumindest einem ersten Bereich und zumindest einem zweiten Bereich wird bereitgestellt;
- b) im ersten und im zweiten Bereich des Halbleitersubstrats werden Gatebahnen hergestellt;
- c) in dem ersten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete sowie an den Gatebahnen mindestens zwei Abstandsstücke erzeugt;
- d) in dem zweiten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete erzeugt und es werden Kontakte zu vorbestimmten Source/Draingegebieten gebildet bevor alle Abstandsstücke in dem ersten Bereich des Halbleitersubstrats erzeugt worden sind.

2. Verfahren nach Anspruch 1, dadurch gekennzeichnet, daß zur Bildung der Kontakte zu vorbestimmten Source/Draingegebieten in dem zweiten Bereich des Halbleitersubstrats Polysilizium verwendet wird.

3. Verfahren zur Herstellung eines integrierten Halbleiterbauelements mit den Schritten:

- a) ein Halbleitersubstrat mit zumindest einem ersten Bereich und zumindest einem zweiten Bereich wird bereitgestellt;
- b) im ersten und im zweiten Bereich des Halbleitersubstrats werden Gatebahnen hergestellt;
- c) in dem ersten Bereich des Halbleitersubstrats werden benachbart zu den Gatebahnen Source/Draingegebiete sowie an den Gatebahnen mindestens zwei Abstandsstücke erzeugt;
- d) in dem zweiten Bereich des Halbleitersubstrats

werden benachbart zu den Gatebahnen Source/  
Draingebiete erzeugt und es werden Kontakte zu  
vorbestimmten Source/Draingebieten vorbereitet  
bevor alle Abstandsstücke in dem ersten Bereich  
des Halbleitersubstrats erzeugt worden sind.

4. Verfahren nach Anspruch 3, dadurch gekennzeich- 5  
net, daß zur Vorbereitung der Kontakte zu vorbestimm-  
ten Source/Draingebieten in dem zweiten Bereich des  
Halbleitersubstrats Landing Pads ausgebildet werden.
5. Verfahren nach Anspruch 4, dadurch gekennzeich- 10  
net, daß zur Bildung der Landing Pads Polysilizium  
verwendet wird.
6. Verfahren nach Anspruch 3, dadurch gekennzeich-  
net, daß zur Vorbereitung der Kontakte zu vorbestimm- 15  
ten Source/Draingebieten in dem zweiten Bereich des  
Halbleitersubstrats Opferkontakte ausgebildet werden.
7. Verfahren nach einem der vorherstehenden Ansprü-  
che, dadurch gekennzeichnet, daß die Abstandsstücke  
aus Siliziumoxid, Siliziumnitrid oder Oxynitrid gebil- 20  
det werden.
8. Verfahren nach einem der vorherstehenden Ansprü-  
che, dadurch gekennzeichnet, daß die Gatebahnen ge-  
bildet werden, indem eine Polysiliziumschicht und eine  
Schutzschicht, insbesondere eine Siliziumnitrid-, Sili- 25  
ziumoxid- oder Oxynitridschicht, erzeugt und diese  
Schichten gemeinsam zu Gatebahnen strukturiert wer-  
den.
9. Verfahren nach Anspruch 8, dadurch gekennzeich-  
net, daß die Schutzschicht mit einer Dicke erzeugt  
wird, so daß nach der Gatestrukturierung die Schutz- 30  
schicht eine Dicke von kleiner als 100 nm aufweist.
10. Verfahren nach einem der vorherstehenden Ansprü-  
che, dadurch gekennzeichnet, daß in dem ersten Be-  
reich des Halbleitersubstrats die Gatebahnen mit Do- 35  
tierstoffen unterschiedlicher Leitfähigkeitstypen do-  
tiert werden.
11. Verfahren nach einem der vorherstehenden Ansprü-  
che, dadurch gekennzeichnet, daß auf den Gatebahnen  
in dem ersten Bereich des Halbleitersubstrats Silizid- 40  
schichten erzeugt werden.
12. Verfahren nach Anspruch 11, dadurch gekenn-  
zeichnet, daß als Silizidschichten  $\text{CoSi}_2$ ,  $\text{TaSi}_2$ ,  $\text{TiSi}_2$   
oder  $\text{WSi}_x$  verwendet werden.
13. Verfahren nach Anspruch 11 oder 12, dadurch ge-  
kennzeichnet, daß die Silizidschichten durch ein Sali- 45  
cide-Verfahren erzeugt werden.
14. Halbleiterbauelement, dadurch gekennzeichnet,  
daß das Halbleiterbauelement mit einem Verfahren ge-  
mäß einem der vorherstehenden Ansprüche herstellbar 50  
ist.

---

Hierzu 9 Seite(n) Zeichnungen

---

55

60

65

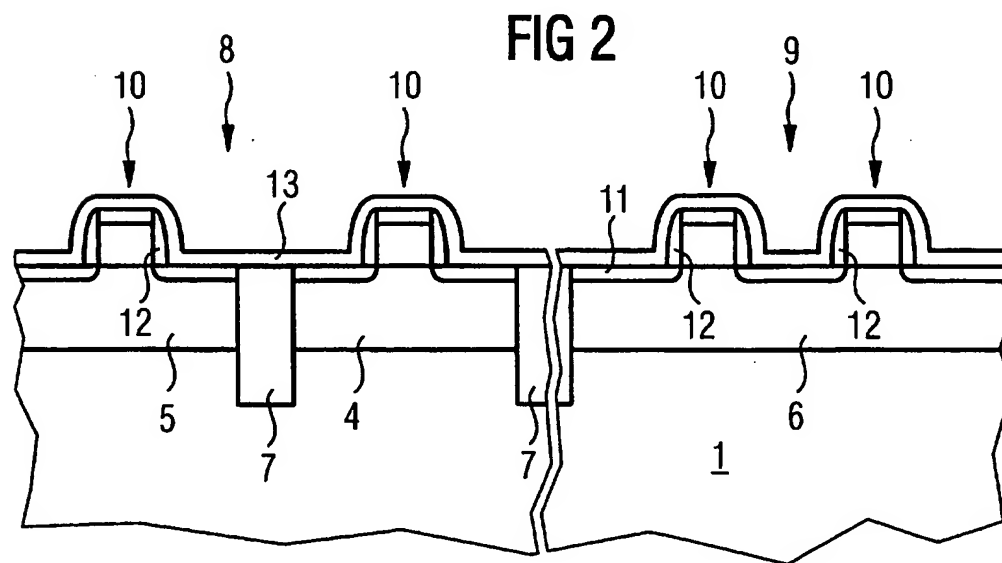
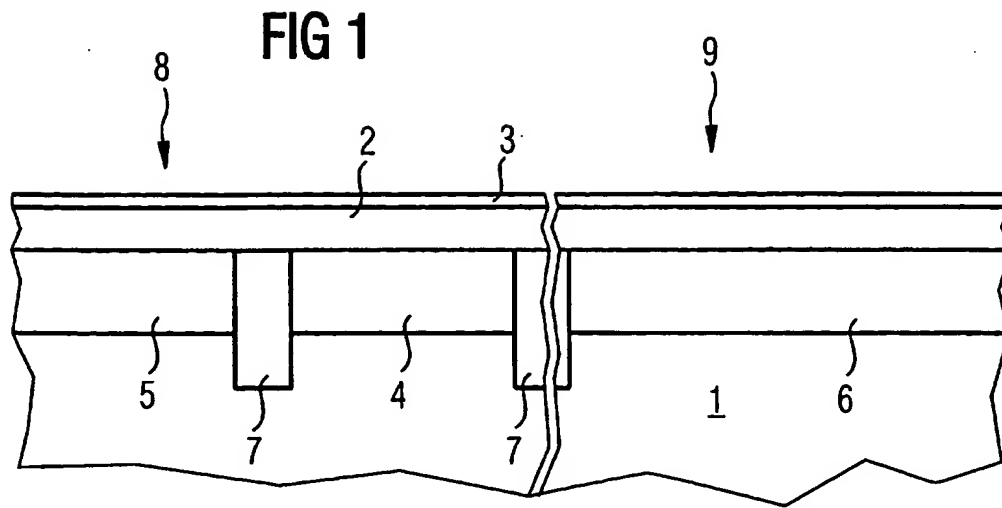


FIG 3

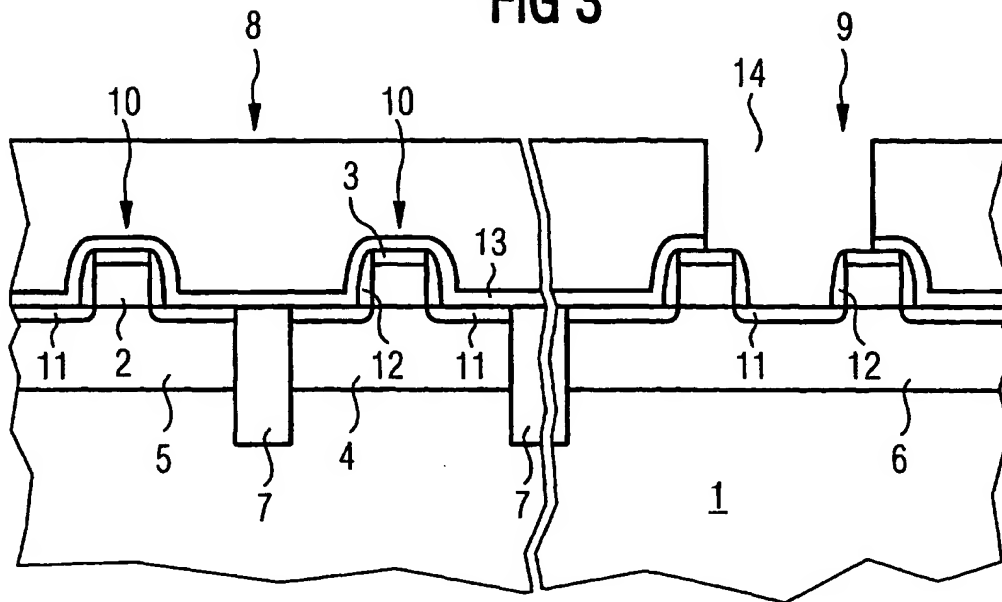


FIG 4

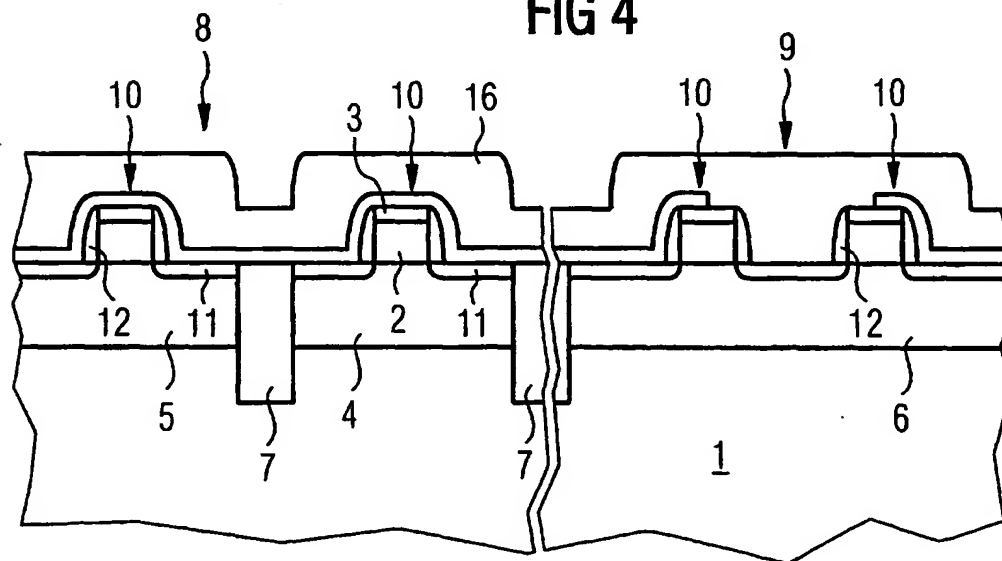


FIG 5

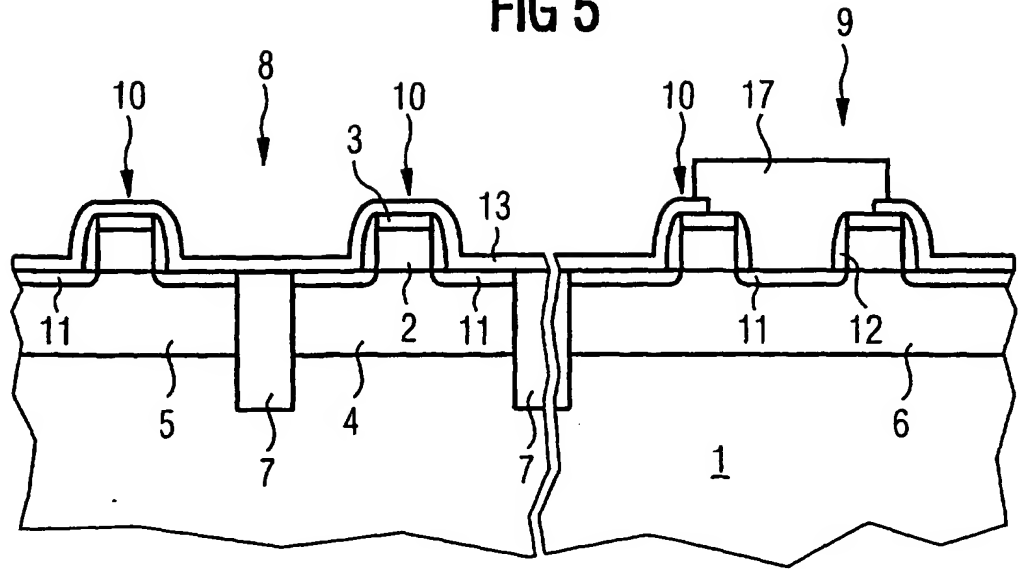


FIG 6

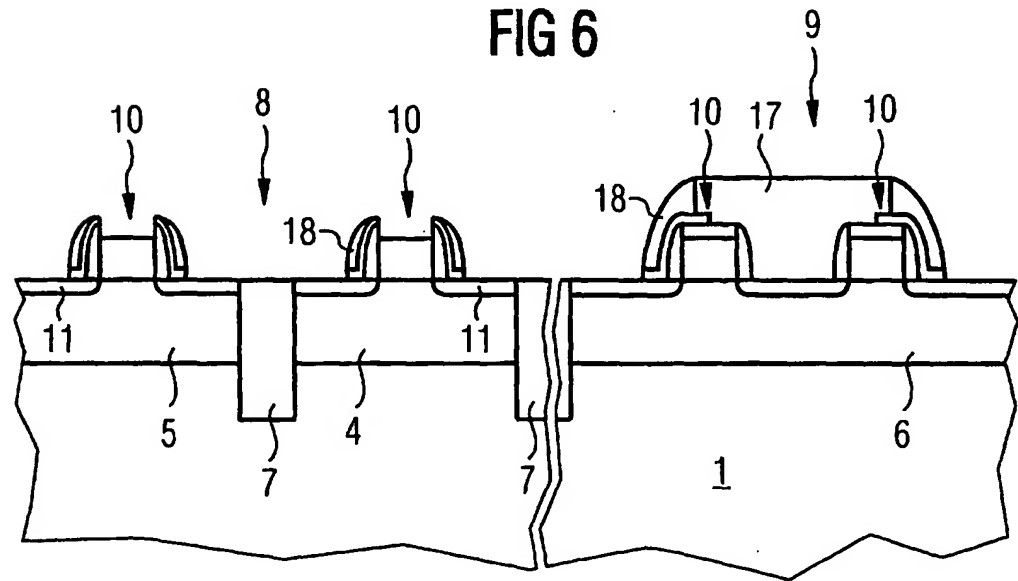


FIG 7

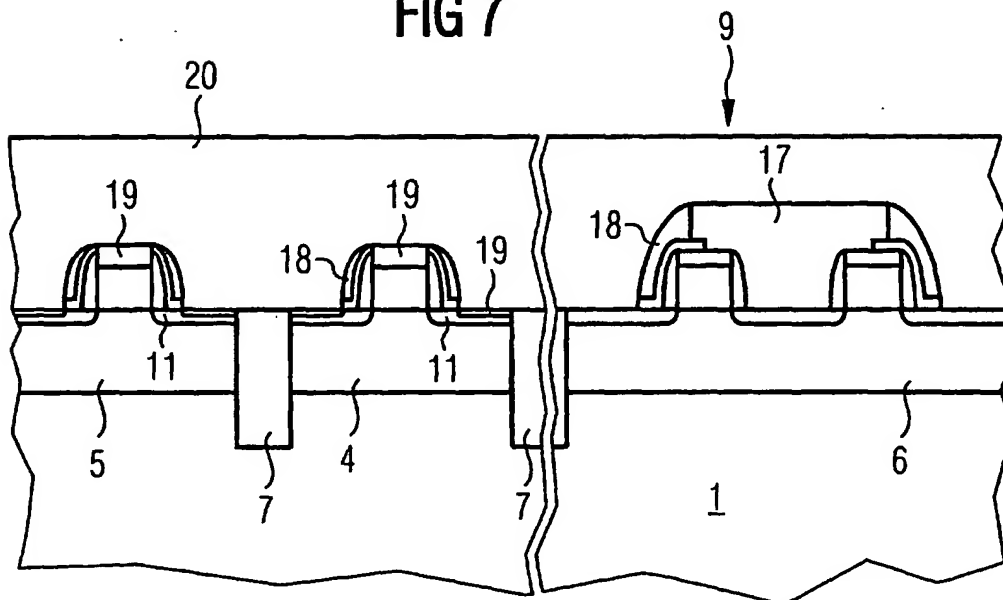


FIG 8

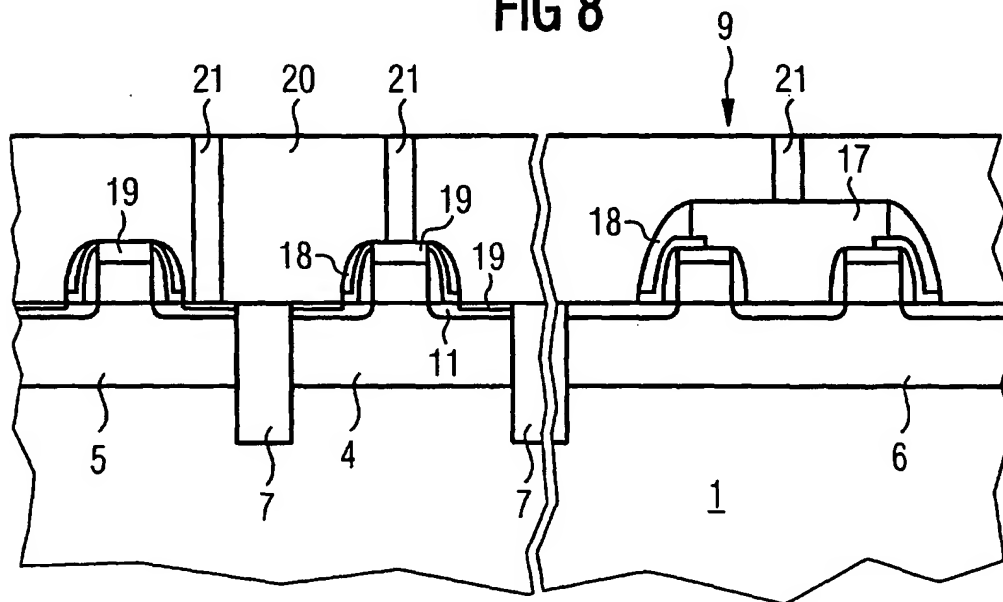


FIG 9

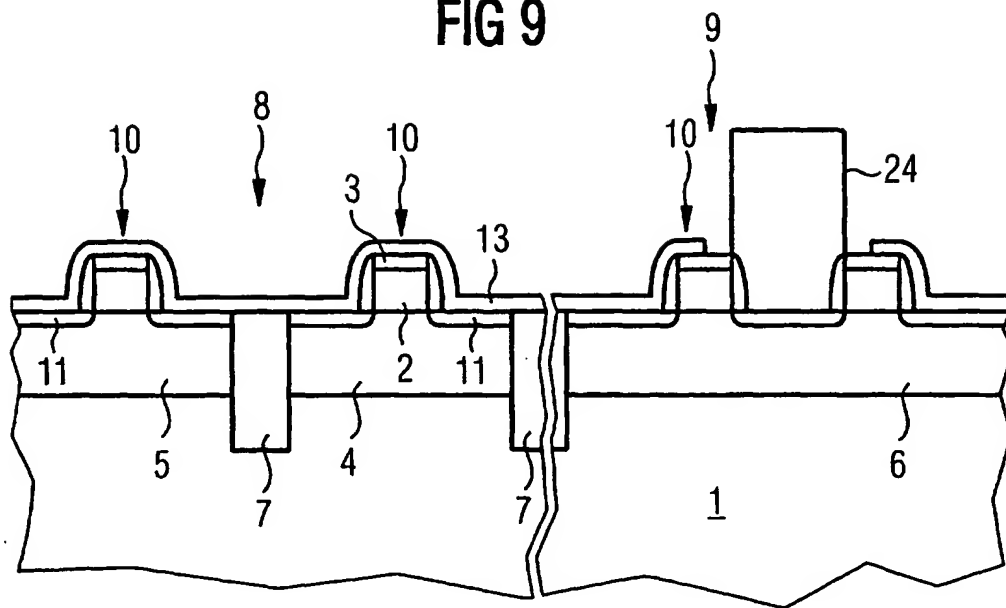


FIG 10

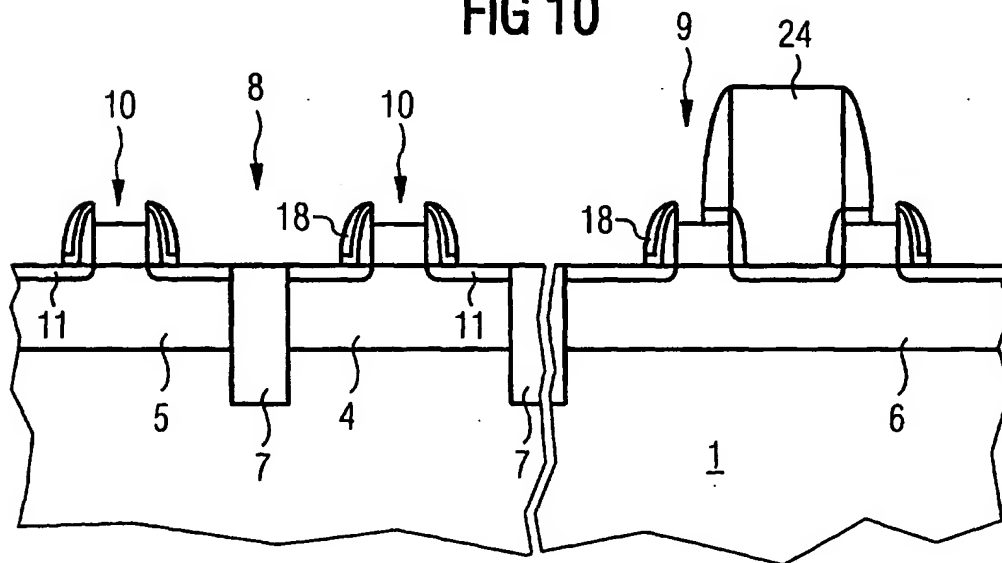


FIG 11

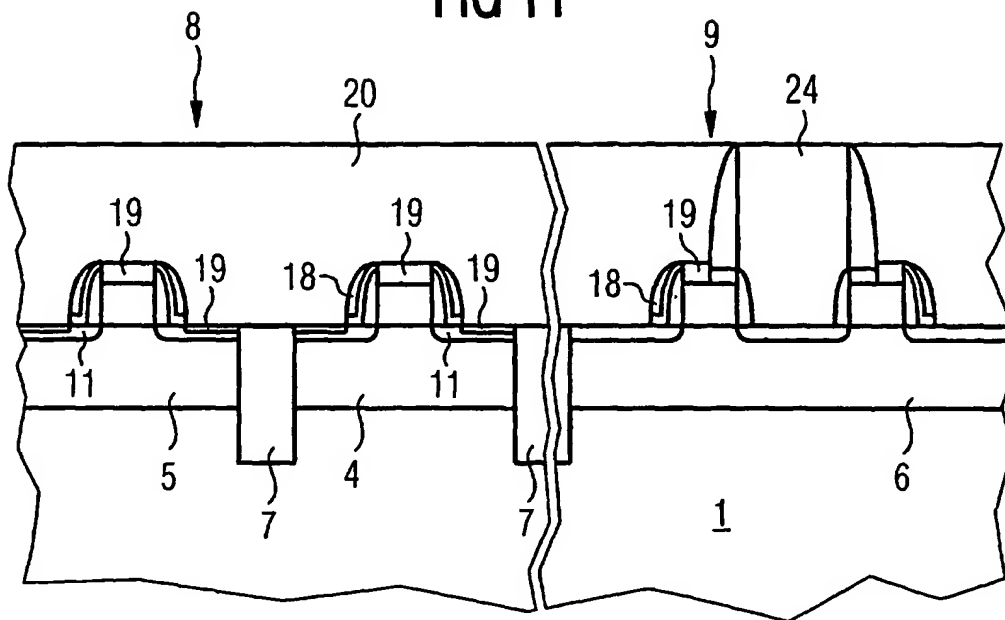


FIG 12

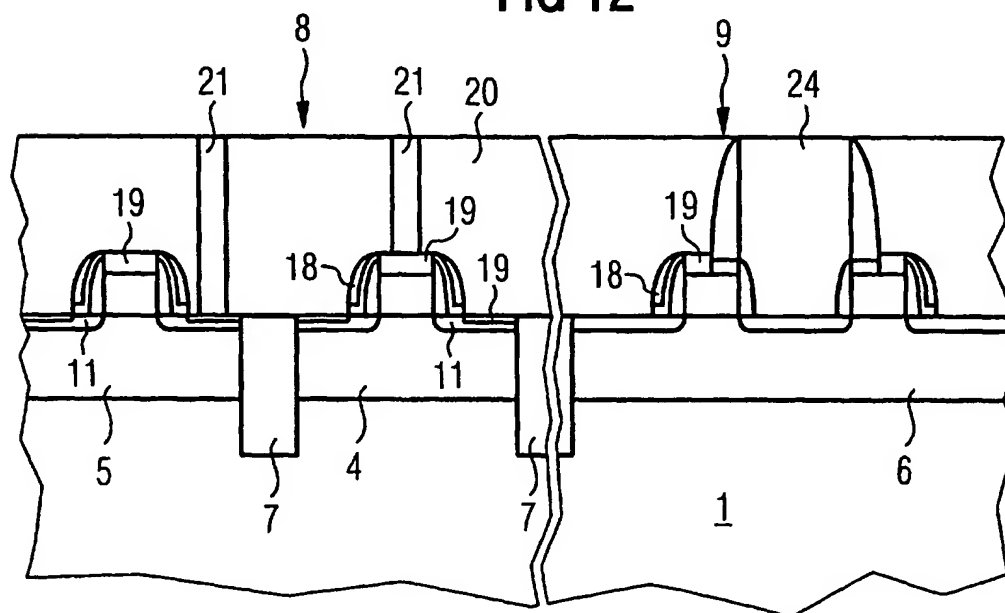


FIG 13

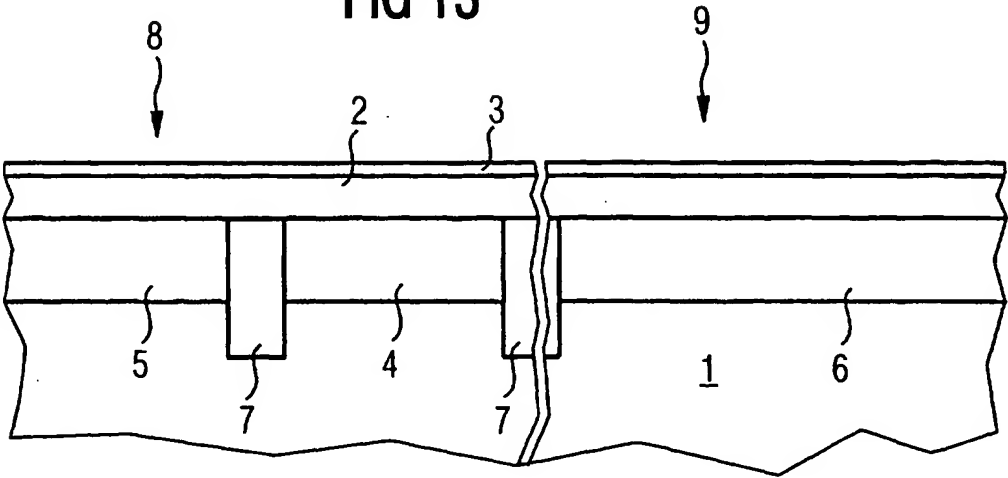


FIG 14

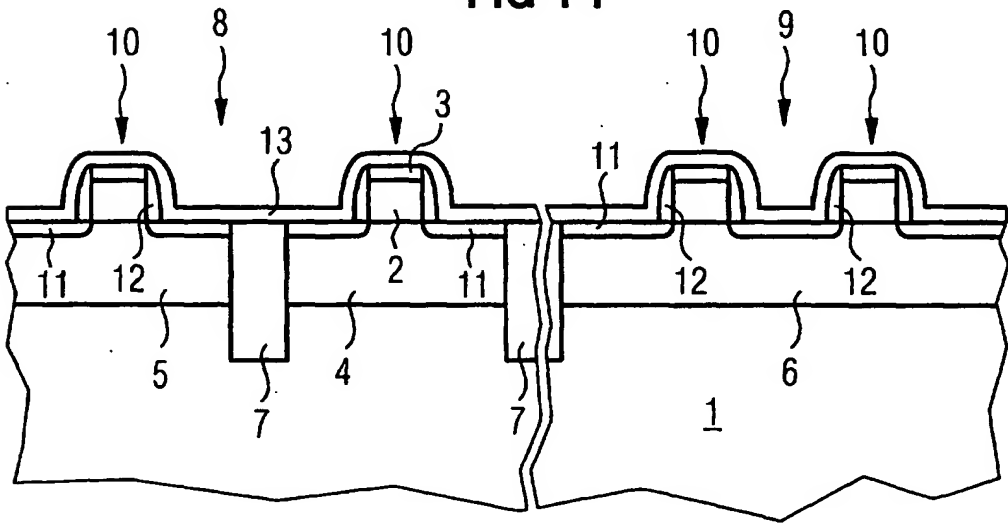


FIG 15

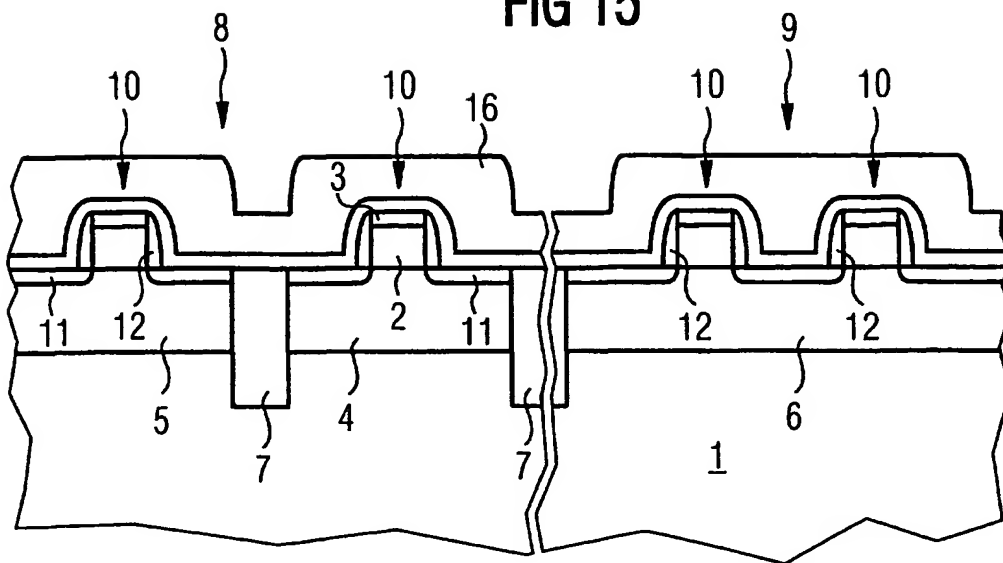


FIG 16

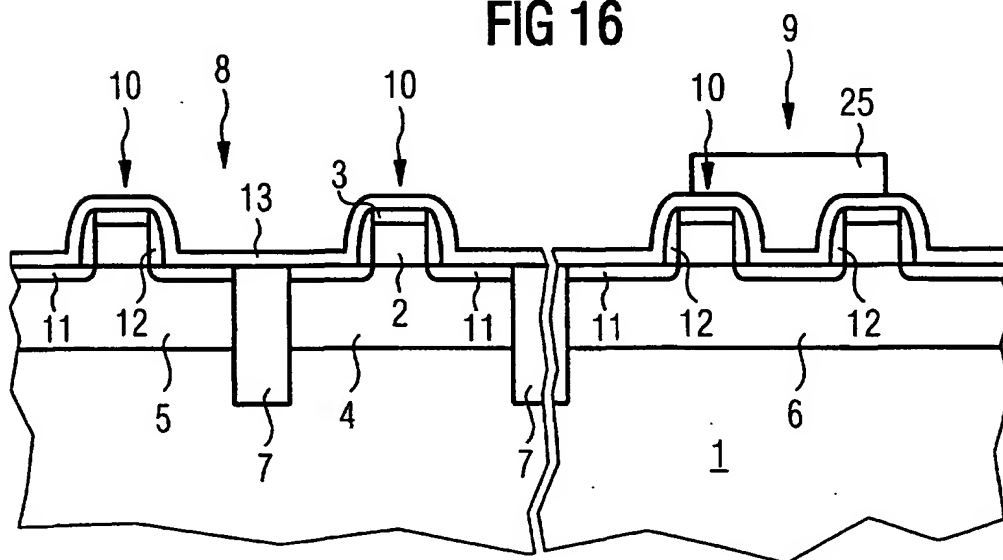


FIG 17

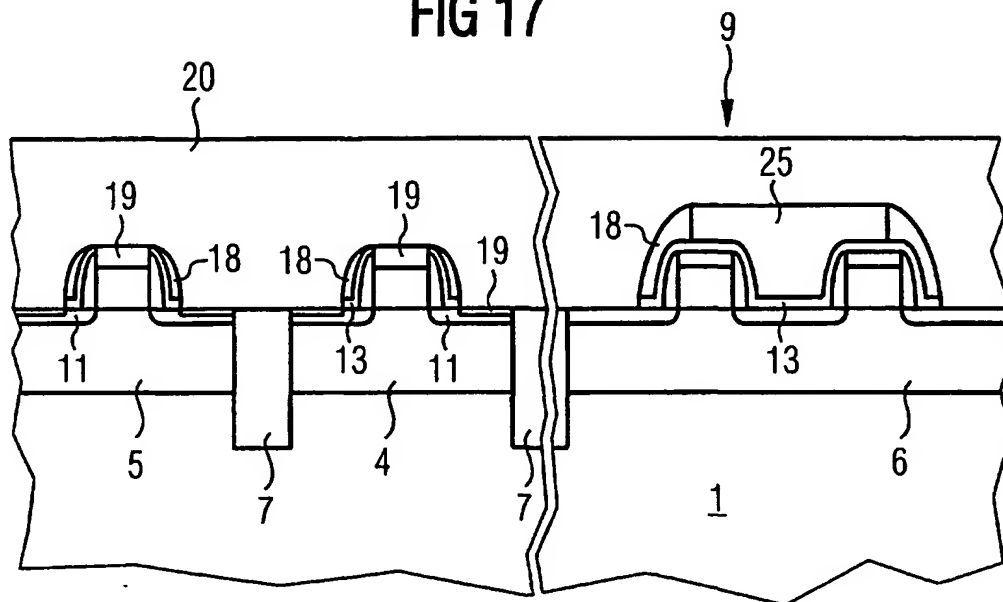


FIG 18

